

L3: Entry 3 of 7

File: DWPI

Apr 12, 1996

DERWENT-ACC-NO: 1996-244441  
DERWENT-WEEK: 199625  
COPYRIGHT 2003 DERWENT INFORMATION

*ND*

TITLE: SOI substrate mfg method e.g. for semiconductor device - involves grinding peripheral surface of active substrate, by polish tape provided with grinding particles which slides vertically on surface of substrate

PRIORITY-DATA: 1994JP-0269232 (September 26, 1994)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
JP 08097111 A	April 12, 1996		004	H01L021/02

INT-CL (IPC): H01 L 21/02; H01 L 21/304; H01 L 27/12

ABSTRACTED-PUB-NO: JP 08097111A  
BASIC-ABSTRACT:

The mfg method involves forming a wafer (4), by bonding a support substrate (2) and an active substrate (3). A plane grinding process is carried out on the upper surface of the active substrate. The laminating wafer is rotated when longitudinal direction.

A polish tape (7) with grinding particles is placed in perpendicular direction, on the surface of the wafer. The tape is pressed to make contact with the wafer surface along a specific direction (A), by a restraining unit (8). The tape grinds the periphery of the active substrate and removes its peripheral surface.

ADVANTAGE - Eliminates generation of V-shaped slot. Shortens mfg. time. Prevents generation of inferior goods.

DERWENT-ACC-NO: 1996-244441

DERWENT-WEEK: 199625

COPYRIGHT 2003 DERWENT INFORMATION

TITLE: SOI substrate mfg method e.g. for semiconductor device - involves grinding peripheral surface of active substrate, by polish tape provided with grinding particles which slides vertically on surface of substrate

PRIORITY-DATA: 1994JP-0269232 (September 26, 1994)

## PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
JP 080971111 A	April 12, 1996		004	H01L021/02

INT-CL (IPC): H01 L 21/02; H01 L 21/304; H01 L 27/12

ABSTRACTED-PUB-NO: JP 08097111A  
BASIC-ABSTRACT:

The mfg method involves forming a wafer (4), by bonding a support substrate (2) and an active substrate (3). A plane grinding process is carried out on the upper surface of the active substrate. The laminating wafer is rotated when longitudinal direction.

A polish tape (7) with grinding particles is placed in perpendicular direction, on the surface of the wafer. The tape is pressed to make contact with the wafer surface along a specific direction (A), by a restraining unit (8). The tape grinds the periphery of the active substrate and removes its peripheral surface.

ADVANTAGE - Eliminates generation of V-shaped slot. Shortens mfg. time. Prevents generation of inferior goods.

L14 ANSWER(44)OI CAPLUS COPYRIGHT 2003 ACS

Full Text

AN 1996:350270 CAPLUS

DN 125:23971

TI Manufacture of SOI wafers

IN Nakayoshi, Juichi; Ishii, Akihiro

PA Kyushu Komatsu Denshi Kk, Japan; Komatsu Denshi Kinzoku Kk

SO Jpn. Kokai Tokkyo Koho, 4 pp.

CODEN: JKXXAF

DT Patent

LA Japanese

FAN/CNT 1

PATENT NO. KIND DATE APPLICATION NO. DATE

PI JP 08097111 A2 19960412 JP 1994-269232 19940926

PRAI JP 1994-269232 19940926

AB Support and active substrates are attached to obtain wafers, the active substrates are polished for surface planarization, the wafers are rotated in a horizontal direction, while polishing tapes are placed in vertical rubbing motion, the periphery of the wafers are contacted the polishing tapes, and pressing blocks hold the tapes for vertical polishing of the periphery of the active substrates, which are removed along with un-adhered parts.

(11)特許出願公開番号

特開平8-97111

(43)公開日 平成8年(1996)4月12日

(51) Int.Cl.<sup>6</sup>

識別記号

庁内整理番号

FI

### 技術表示箇所

H01L 21/02

21/304

B

**3 2 1 M**

27/12

B

審査請求 未請求 請求項の数2 書面 (全 4 頁)

(21)出願番号 特願平6-269232

(22)出願日 平成6年(1994)9月26日

(71)出願人 392006868

九州コマツ電子株式会社

宮崎県宮崎郡清武町大字木原1112番地

(71)出願人 000184713

コマツ電子金属株式会社

神奈川県平塚市四之宮2612番地

(72)発明者 中▲吉▼ 雄一

宮崎県宮崎郡清武町大字木原1112番地 九

州コマツ電子株式会社内

(72)発明者 石井 明洋

宮崎県宮崎郡清武町大字木原1112番地 九

州コマツ電子株式会社内

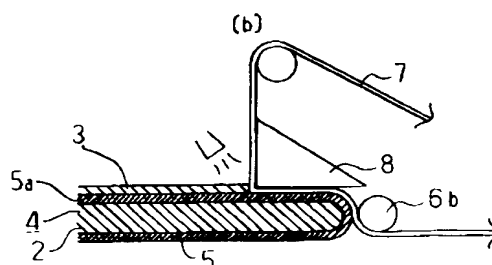
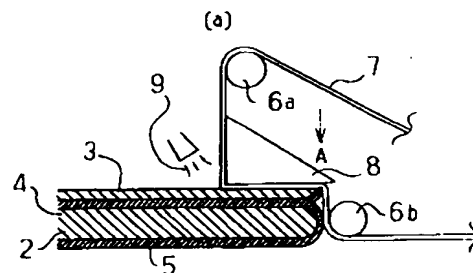
(74) 代理人 弁理士 衛藤 彰

(54)【発明の名称】 SOI基板の製造方法

(57) 【要約】

【目的】 従来技術に比し短時間で製造することができ、またV溝の発生をなくすることができるSOI基板の製造方法を提供する。

【構成】 支持基板2と活性基板3を貼り合わせて貼合せウエハ4を得る。活性基板3の上面を平面研削する。貼合せウエハ4を水平方向に回転させると共に、研磨テーブル7を垂直方向に摺動させる。貼合せウエハ4の外周部を研磨テーブル7の表面に当接させる。押え具8により研磨テーブル7を矢印Aの方向に押圧する。押え具8により研磨テーブル7が活性基板3の外周部を垂直に研磨する。活性基板3の外周部が未接着部分と共に取り除かれる。



## 【特許請求の範囲】

【請求項1】 支持基板として機能する半導体ウェハと、活性基板として機能する半導体ウェハを貼り合わせてSOI基板を製造するに当たり、活性基板を平面研削した後、該活性基板の外周部の未接着部分を除去する方法において、表面に砥粒を設けた研磨テープを前記活性基板に対し略直角に当接させて、摺動させるようにしたことを特徴とするSOI基板の製造方法

【請求項2】 鋭角面を有する押え具の鋭角部分を研磨テープの裏面に押圧することにより、活性基板に対し研磨テープを略直角に当接させたことを特徴とする請求項1記載のSOI基板の製造方法

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、支持基板として機能する半導体ウェハと、活性基板として機能する半導体ウェハを貼り合わせて得られる貼合せウェハからSOI基板を製造するSOI基板の製造方法に関するものである。

## 【0002】

【従来の技術】 近年、高性能の半導体デバイス用基板として、その高耐圧性や高速性などからSOI基板が要求されており、この種の要求を満たす大面積で結晶欠陥の少ないSOI基板は、2枚の半導体ウェハを貼り合わせて得られる貼合せウェハから比較的容易に作れるようになった。従来、このような貼合せウェハからのSOI基板の製造は、通常次のような工程で行われる（図3参照）。

（1）活性基板11を熱処理し、その表面に酸化膜13を形成した後、支持基板12との接合面11aに鏡面仕上げを施す一方、支持基板12の接合面12aにも鏡面仕上げを施す（図3（a））。

（2）それぞれの基板の鏡面仕上げを施した接合面11a、12aを洗浄、親水処理し、乾燥処理した後、まだ親水性を保持した状態でそれぞれの接合面11a、12aを互いに接合させる。これに再度熱処理を行うことにより活性基板11と支持基板12は互いに貼着すると共に、支持基板12側にも酸化膜13が形成される。これにより貼合せウェハ14が得られる（図3（b））。ところが、この親水処理及び乾燥処理をすることにより残留水素や水素イオンがこの貼合せウェハ14の外周部に集まりやすく、それが気泡を形成して未接着部（ボイド）が発生する原因となる。この未接着部は他の部位より強度が落ち、後のデバイス工程でチップングやパッケージング発生の原因となる。

（3）このため、次の工程として未接着部を含む活性基板11の外周部を研削加工により面取りする（図3（c））。

この際、研削加工は接合部の中間酸化膜13aを傷つけないように厚さ数十 $\mu\text{m}$ 程度の残留層11bを残して行われる。

（4）次に、残留層11bを水酸化カリウムなどの無機

アルカリの水溶液、またはヒペラジールなどの有機アルカリの水溶液を用いたエッチングにより除去する（図3（d））。

（5）最後に、活性基板11をさらに所定の厚さまで平面研削した後、フッ酸溶液によりエッチングして支持基板12の酸化膜13を除去し、SOI基板10を得る（図3（e））。

## 【0003】

【発明が解決しようとする課題】 しかしながら、このような活性基板11の外周部を面取りした後エッチングにより残留層11bを除去する方法においては、エッチングのリードタイムが長いため生産に時間がかかりすぎるといった問題点があった。また、残留層の厚さは均一ではなく、薄い部分は他の部分より早く融けてしまい、その部分にV溝が発生するおそれがあるといった問題点もあった。本発明は、上記問題に鑑みなされたもので、従来技術に比し短時間で製造することができ、またV溝の発生をなくすることができるSOI基板の製造方法を提供することを目的とするものである。

## 【0004】

【課題を解決するための手段】 このため本発明では、支持基板として機能する半導体ウェハと、活性基板として機能する半導体ウェハを貼り合わせてSOI基板を製造するに当たり、活性基板を平面研削した後、該活性基板の外周部の未接着部分を除去する方法において、表面に砥粒を設けた研磨テープを前記活性基板に対し略直角に当接させて、摺動させるようにしたものである。

## 【0005】

【実施例】 以下、本発明の実施例を図面に基づいて説明する。図1は本発明に係るSOI基板の製造方法を示す模式図、図2は本発明に係るSOI基板の製造方法の製造工程を示す図、図3は従来技術のSOI基板の製造方法の製造工程を示す図である。

【0006】 本実施例のSOI基板の製造方法は、貼合せウェハ4を得るところまでは上記した従来技術と同様である。すなわち、図2（a）に示すように、支持基板2を熱処理し、その表面に酸化膜5を成長させた後、親水処理および乾燥処理を経て、その上面に活性基板3を接合させる。図2（b）に示すように、接合した支持基板2と活性基板3を熱処理することにより互いに貼着させると共に、全体に酸化膜5を成長させて貼合せウェハ4を得る。図2（c）に示すように、貼合せウェハ4の活性基板3の上面を研削機により平面研削する。

【0007】 次に本実施例の研磨方法を説明する。図1（a）に示すように、研磨を行う研磨テープ7の表面には砥粒（図示せず）が接着剤により固着されている。また、その裏面はサイドローラー6a、6bにより支持され、活性基板に対し垂直方向に摺動するようにされている。さらに、鋭角面を有する押え具8がサイドローラー6aと6bの間で研磨テープ7の裏面を上方から押圧して

3

きるように設けられている。これにより、活性基板3の上面が平面研削された貼合せウェハ4を水平方向に回転させると共に、研磨テープ7を活性基板に対し垂直方向に摺動させ、貼合せウェハ4の外周部を研磨テープ7の表面に当接させる。この研磨テープ7による研磨の際には、切削水9を上方から研磨面に吹きつけて行われる。この研磨工程の初期においては、研磨テープ7の表面が活性基板3の上面から支持基板3の外周部に渡って当接する状態で研磨が開始され、押え具8を上方から押圧して矢印Aの方向に移動させながら研磨を行う。

【0008】図1(b)に示すように、研磨テープ7が垂直方向に摺動することにより、研磨テープ7は押え具8により活性基板3の外周部を垂直に研磨し、その下でガイドローラ6bにより中間酸化膜5a及び支持基板2の酸化膜5の外周部に沿うように湾曲される。この研磨テープ7による研磨が完了すると図2(d)に示すように、活性基板3の外周部が取り除かれた状態となる。

【0009】活性基板3の外周部が取り除かれた貼合せウェハ4は、フッ酸溶液によりエッチングされて、図2(e)に示すように支持基板2の酸化膜5が中間酸化膜5aを残して取り除かれる。最後に図2(f)に示すように、活性基板3の上面をさらに平面研削して薄くし、SOI基板1を得る。

【0010】

【発明の効果】本発明では以上のように構成したので、従来のSOI基板の製造工程における面取り及びエッチングによる外周部の未接着部分の除去に替わり、この除去をテープ研磨により1度で行うことができるので、SOI基板の製造に大幅な時間節減を図ることができると

4

\*機械的なテープ研磨によるため、外周部を除去する際にV溝が生じる危険性がなく、不良品の発生を防止することができるという優れた効果がある

【図面の簡単な説明】

【図1】本発明に係るSOI基板の製造方法を示す模式図である

【図2】本発明に係るSOI基板の製造方法の製造工程を示す図である

【図3】従来技術のSOI基板の製造方法の製造工程を示す図である

【符号の説明】

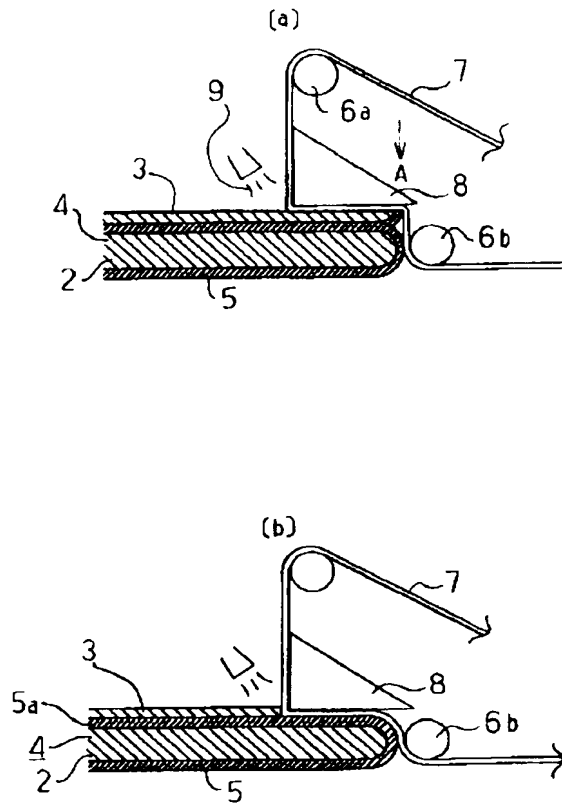
- |     |        |
|-----|--------|
| 1   | SOI基板  |
| 2   | 支持基板   |
| 3   | 活性基板   |
| 4   | 貼合せウェハ |
| 5   | 酸化膜    |
| 5a  | 中間酸化膜  |
| 6a  | ガイドローラ |
| 6b  | ガイドローラ |
| 7   | 研磨テープ  |
| 8   | 押え具    |
| 9   | 切削水    |
| 10  | SOI基板  |
| 11  | 活性基板   |
| 11a | 接合面    |
| 11b | 残留層    |
| 12  | 支持基板   |
| 12a | 接合面    |
| 13  | 酸化膜    |
| 13a | 中間酸化膜  |
| 14  | 貼合せウェハ |

10

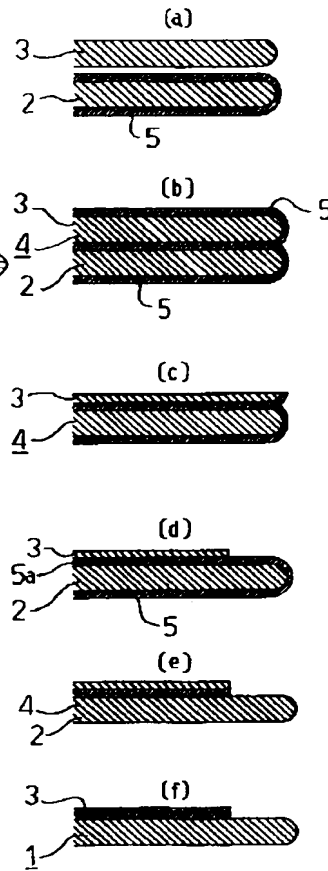
20

30

【図1】



【図2】



【図3】

